

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 21/8242	(11) 공개번호 (43) 공개일자	특 2002-0094175 2002년 12월 18일
--	------------------------	---------------------------------

(21) 출원번호	10-2001-0032745
(22) 출원일자	2001년 06월 12일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 홍권
(74) 대리인	경기도성남시분당구야탑동탑마을경남아파트713-401 특허법인 신성

심사청구 : 있음

(54) 메모리 소자의 제조방법

요약

BST를 이용한 커패시터를 가지는 메모리 소자의 제조방법이 개시되어 있는 바, 본 발명은 높은 애스펙트 비(high aspect ratio)를 가지는 고집적 DRAM의 BST 커패시터에서 스토리지노드(storage node)의 깊은 골에서 ALD-BST를 CVD-BST의 시드층(seed layer)로 사용하는 이중 증착공정(double deposition) 기술로서 스텝커버리지가 우수할 뿐만 아니라 조성이 균일하며 결정성이 향상된 효과가 있다. 또한 저온 증착이므로 궁극적으로 누설전류가 적은 신뢰성 높은 BST 커패시터를 제조할 수 있는 메모리 소자 제조방법이다.

ALD, CVD, BST, Concave

도면

도면의 간단한 설명

도 1은 내지 도5는 본 발명에 의한 반도체 장치의 커패시터 제조방법을 설명하기 위한 단면도들이다.  
도 6은 기존 공정의 문제점을 설명하는 단면도.

\*도면의 주요 부분에 대한 부호의 설명

100 : 반도체기판	115 : 제1 층간절연막
120 : 폴리실리콘	125 : 실리사이드층
130 : 베리어메탈	150 : 제2 층간절연막
155 : 스토리지노드 홀	160a : 하부전극 패턴
165 : ALD-BST	170 : CVD-BST
175 : 상부전극	

### 본 발명의 다른 목적, 특징 및 장점은 첨부된 도면을 참조하여 설명될 것이다.

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 커패시터 제조 방법에 관한 것이다.

반도체 기억 소자들 중 DRAM(Dynamic Random Access Memory)의 집적도가 증가함에 따라 기억정보의 1단위의 1비트를 기억시키는 메모리 셀의 면적은 작아지고 있다. 한편 셀의 속도에 맞추어 커패시터의 면적을 감소시킬 수 없는데, 이는 소프트 에러(Soft Error)를 방지하고 안정된 동작을 유지하기 위해서는 최소한도 단위 셀당 충전용량이 필요하기 때문이다. 따라서 제한된 셀 면적내에 메모리 커패시터의 용량을 적정값 이상 유지시키기 위한 방법으로서 유전체의 두께를 감소시키는 방법과 커패시터의 유효면적을 증가시키기 위해 커패시터 하부전극의 구조를 3차원으로 구조로 입체화시키는 방법, 그리고 비유전율이 높은 재료를 사용하는 방법이 있다.

유전율이 높은 커패시터의 유전막으로는  $TiO_2$ ,  $Ta_2O_5$ ,  $ZrO_2$ ,  $(Ba,Sr)TiO_3$ (BST),  $(Pb,Zr)TiO_3$ (PZT),  $(Pb,La)(Zr,Ti)O_3$ (PLZT),  $TaON$  등이 있다. 이들 재료 중 BST(Barium Strontium Titanate)는  $0.10\mu m$  기술에 적용될 커패시터 유전막으로 기대되고 있다. BST 유전막은 200 내지 400 정도의 높은 유전상수를 가지고 있으며, 금속 위에서 결정화되기 때문에 MIM(Metal-Insulator-Metal)구조로 이루어진다. 전극으로 쓰이는 금속으로는 백금족 금속 또는 그 산화물(이하 백금족 금속), 예를 들면 Pt, Ir, Ru,  $RuO_2$ ,  $IrO_2$  등을 사용한다. 그러나 BST 박막이 불안정하고 금속전극을 에칭하는 것이 어렵고 수소에 의한 열화 같은 집적공정에 관련된 해결되어야 할 문제가 많이 있다. 이와 같은 백금족 금속으로 커패시터 전극을 형성할 때에는, 백금족 금속과 도전성 플러그로 사용되는 폴리실리콘이나 기판 실리콘과의 반응을 방지하고, 유전체막 증착시 소오스로 사용되는 산소의 확산을 방지하기 위한 배리어층(Barrier layer)을 필수적으로 형성한다.

한편 DRAM의 고집적화에 따라 3차원 구조를 가지는 스택형 커패시터에서 하부전극의 높이가 높아짐에 따라 하부전극의 식각이 어려워짐에 따라, 식각의 어려움을 피할 수 있는 콘케이브 커패시터(concave capacitor)가 제안되었다. 콘케이브 커패시터의 제조방법에 의하면 하부전극이 형성될 부위에 중간절연막을 형성하고, 상기 중간절연막 내에 스토리지 노드 홈을 형성한다. 그 후 상기 스토리지 노드 홈 내에 하부전극인 백금족 금속을 소정의 두께로 증착하여 스토리지 전극을 형성한다.

상기와 같이 콘케이브 커패시터를 형성하는 경우에는 백금족 금속의 식각 공정의 어려움을 피할 수 있을 뿐만 아니라 스토리지 노드의 높이를 임의로 조절할 수 있으며, 스토리지 노드 콘택(storage node contact)과 스토리지 노드(storage node)와의 미소정렬(misalignment)이 없는 장점이 있다.

반면 콘케이브 커패시터는 집적도가 높아짐에 따라 면적확보를 위하여 중간절연막으로 쓰이는 옥사이드(oxide)의 높이가 증가함으로 인하여, 스토리지노드(storage node)의 깊은 굴에서 유전물질을 형성해야 한다. 즉 스텝커버리지(step coverage)가 크기 때문에 화학기상증착(Chemical Vapor Deposition, 이하 CVD)으로 BST를 증착하는 경우 표면(surface)과 골(valley) 부근에서의 조성차이로 인한, 전기적 특성의 신뢰도(reliability)가 감소하는 문제점이 있었다.

도 6은 이를 도시하는 콘케이브 커패시터의 단면도이다. 반도체기판(200)상에 제1 중간절연막(205)증착 후 콘택홀을 형성하며, 콘택홀을 도전막으로 채워 플러그(210)를 형성한다. 그 다음으로 콘케이브 커패시터를 형성하기 위하여 제2 중간절연막(215)을 증착 후 스토리지 노드 홈을 형성한다. 상기 콘택홀에 하부전극(220), CVD-BST막(225), 상부전극(230)을 형성한다. 그림에서 A, B, C, D, E는 CVD-BST공정시  $(Ba+Sr)/Ti$ 의 조성차이가 발생하여 전체 BST 커패시터의 전기적 특성이 불균일하여 누설전류 등의 문제점이 생긴다. 이는 CVD 공정의 증착과정에서 기체상 반응(gas phase reaction)이 토폴로지(topology)에 따라서 불균일한 표면반응(surface reaction)이 발생하여 기인하는 현상이며, 조성에 따라서 전기적 특성이 민감한 BST 커패시터에서는 이에 대한 해결이 전체 소자(device)의 신뢰도(reliability)에 큰 영향을 미치게 된다.

### 본 발명의 다른 목적, 특징 및 장점은 첨부된 도면을 참조하여 설명될 것이다.

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 콘케이브 구조를 가지는 BST 커패시터에서 유전물질을 증착하는 경우, 스텝커버리지가 우수한 ALD 방법을 이용하여 균일하게 저온에서 스토리지노드에 증착한 후, 후막공정으로 기존 CVD 공정을 이용하는 BST 커패시터를 가지는 메모리 소자의 제조방법을 제공하는데 목적이 있다.

### 본 발명의 다른 목적, 특징 및 장점은 첨부된 도면을 참조하여 설명될 것이다.

상기 목적을 달성하기 위한 본 발명의 메모리 소자는, 반도체 기판 상에 콘택홀을 가지는 제1 중간절연막을 형성하는 단계, 상기 콘택홀을 도전막으로 채워서 상기 반도체 기판과 연결되는 콘택플러그를 형성하는 단계, 상기 콘택플러그를 포함하여 상기 제1 중간절연막상에 제2 중간절연막을 형성하는 단계, 상기 제2 중간절연막의 선택 식각에 의해 상기 콘택플러그를 노출시켜 하부전극이 형성될 스토리지노드 홈을 형성하는 단계, 상기 스토리지노드 홈의 상면에 하부전극 패턴을 형성하는 단계, 상기 하부전극 패턴 위로 ALD-BST와 CVD-BST를 순차적으로 증착하여 유전체막을 형성하는 단계, 상기 유전체막 위로 상부전극을 증착하고 패턴화하는 단계를 포함하는 메모리소자의 제조방법을 포함하여 이루어짐을 특징으로 한다.

본 발명의 유전물질로 사용되는 BST는 페로브스카이트(perovskite) 구조를 취하는 결정이다. BST는 먼저 ALD 방식(이하 ALD-BST)에 의하여 증착한 후에, CVD 방식(이하 CVD-BST)에 의하여 증착한다.

ALD(Atomic Layer Deposition)는 전구체 분자들 간의 화학반응을 이용한다는 점에서 화학증착법(Chemical Vapor Deposition, CVD)과 유사하나 통상적인 CVD가 전구체 분자들이 증기 상태에서 서로 만나 반응이 일어나는 현상을 이용하는 데 반해 ALD는 두 전구체간의 표면 반응을 이용한다는 점이 크게 다르다. ALD 공정에서 한 종류의 전구체가 기판 표면에 흡착되어 있는 상태에서 또 다른 전구체를 공급하면 두 전구체 분자들이 표면에서 서로 만나서 반응함으로써 박막을 형성하게 된다. 그러므로 ALD 반응전구체는 반응온도에서 스스로 분해하지 않아야 하고 표면에 흡착된 전구체와 공급되는 전구체간의 반응이 표면에서 매우 빠른 속도로 일어날 수 있어야 한다. 전구체로는 고체, 액체, 기체 상태의 전구체를 모두 사용할 수 있으며, 소스 기체는  $N_2$ , Ar과 같은 운반 가스에 실어서 공급한다.

ALD 공정이 표면 반응을 이용함으로써 얻게 되는 가장 큰 장점은 두께의 균일도와 스텝커버리지(step coverage)라 할 수 있다. 한 종류의 전구체 증기가 공급되어 표면에 흡착할 때 화학흡착(chemisorption)이 가능한 장소(site)에는 모두 흡착하고, 비록 과량의 전구체 증기가 공급될지라도 나머지는 반응에 기여하지 못한다. 이 과량의 증기들은 모두 퍼지 가스에 의해 제거되고, 이어서 공급되는 다른 종류의 전구체가 다시 표면에 흡착되면서 반응이 일어나므로 항상 일정한 속도로 박막이 성장된다. 한 예로서, A전구체와 B전구체를 사용하는 ALD에서는 A전구체 공급  $\rightarrow N_2$  (또는 Ar) 퍼지  $\rightarrow$  B전구체 공급  $\rightarrow N_2$  (또는 Ar) 퍼지의 과정을 한 사이클로 하여 계속 반복함으로써 막을 성장하게 되며 성장 속도는 한 사이클 당 증착되는 막 두께로 표시한다. 이와 같은 성장 원리에 의해 막이 증착되므로 노출되어 있는 모든 표면은 그 거침도에 무관하게 전구체 분자가 흡착될 확률은 거의 비슷하므로 공급되는 전구체가 충분하기만 하면 항상 일정한 속도로 표면 구조의 애스펙트비(aspect ratio)의 크기와 무관하게 박막이 증착되는 것이다. 또한 한 층씩 쌓아 나가는 방식을 취하므로 두께와 조성의 정밀한 조절이 가능하다.

또한 ALD의 장점은 CVD와 비교시 삼원계뿐만 아니라 더 복잡한 박막 증착이 가능하다는 것이다. CVD는 반응가스들의 열역학적 반응에 의하여 박막의 조성이 결정되기 때문에 삼원계와 같은 복잡한 조성의 박막 증착시 조성 조절이 용이하지 않다. 반면, ALD는 원하는 물질을 교대로 원자층의 두께로 증착함으로써, 삼원계뿐만 아니라 더 복잡한 조성의 박막 증착도 가능하다.

본 발명에서 ALD는 (Ba+Sr) 혼합 소오스(coctail source)와 Ti 소오스(source)를 이용하여 증착한다. (Ba+Sr) 혼합 소오스(coctail source)는 액체상태에서 0.5:0.5의 몰분율(mole fraction)으로 제조된 것을 사용하며, 증착된 박막의 조성이 Ba:Sr:Ti가 0.25:0.25:0.5에 맞도록 액체상태의 농도를 조절할 수 있다. ALD-BST 증착을 위한 1 사이클(cycle)은 다음과 같은 순서를 따르며,  $O_2$  소오스는  $H_2O$  기체( $H_2O$  vapor)를 사용한다. (Ba+Sr) 혼합 소오스 플로우(coctail source flow)  $\rightarrow N_2$  (또는 Ar) 퍼지  $\rightarrow H_2O$  기체 플로우( $H_2O$  vapor flow)  $\rightarrow N_2$  (또는 Ar) 퍼지  $\rightarrow Ti$  플로우(flow)  $\rightarrow N_2$  (또는 Ar) 퍼지  $\rightarrow H_2O$  기체 플로우( $H_2O$  vapor flow)  $\rightarrow N_2$  (또는 Ar) 퍼지이다.

상기한 바와 같이 BST 박막을 CVD의 기상(gas phase)의 반응을 억제할 수 있고, 스텝커버리지가 100%에 가까운 ALD 방법을 이용하여 균일하게 저온에서 스토리지노드(storage node)에 증착한 후, 열공정(thermal burget)이 적은 플라즈마 열처리(plasma treatment)에 의해 결정화 시킨 후, 이후 후막공정은 기존 CVD 공정을 이용하여 복층으로 BST 커패시터를 형성하면, 누설전류 특성에 큰 영향을 미치는 BST와 하부전극 경계의 조절이 효과적으로 진행할 수 있다. 또한 ALD로 증착된 BST 시드층(seed layer) 형성으로 베리어메탈의 열공정(thermal burget)을 줄여, 전기적 특성이 우수하고, 신뢰성 높은 BST 커패시터를 제조할 수 있다.

상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다.

먼저, 도 1에 도시한 바와 같이 반도체기판(100)상에 산화물(105)과 반사방지막인 질화물( $Si_3N_4$ , 110)이 300Å 내지 1000Å으로 이루어진 제1 층간절연막(115)을 형성한 후, 상기 제1 층간절연막(115)을 관통하여 상기 반도체기판(100)의 활성영역(active region, 도시되어 있지 않음)과 연결되는 스토리지 콘택홀을 형성한다. 스토리지 콘택홀 형성 후 화학기상증착법(CVD)으로 500Å 내지 3000Å 두께의 도핑된 폴리실리콘(doped polysilicon)막을 증착한다. 그리고 폴리실리콘을 에치백(etch back)하여 제1 층간절연막(115)의 표면을 노출시킨다. 이 때 에치백은 폴리실리콘막을 과도식각하도록 실시하여 폴리실리콘이 플러그 내부에만 잔류한다. 따라서 폴리실리콘(120)은 콘택홀을 완전히 충전시키지 못하고 상부에 여유공간을 갖도록 리세스(recess) 된다. 이 플러그 리세스는 500Å 내지 1500Å으로 한다.

그 다음 클리닝(cleaning) 후 전면적으로 Ti를 100Å 내지 300Å의 두께로 증착하고, RTP(Rapid Thermal Processing) 방법에 의해 열처리하여 티타늄실리사이드층( $TiSi_2$ )를 형성한 후, 미반응의 Ti를 습식으로 제거한다. Ti 대신 W, W를 사용할 수도 있다. 이 실리사이드층(125)은 베리어메탈을 형성하기 전에 폴리실리콘과의 오믹콘택(Ohmic Contact)을 형성하여 접촉저항을 감소시키기 위함이다.

그 다음 베리어메탈을 기판전면에 증착한 후 화학 기계적 연마(Chemical Mechanical Polishing, 이하 CMP)로 평탄화 한다. 베리어메탈은 유전체 결정화를 위해서 산소 분위기에서 고온의 열처리시, 산소가 스토리지 전극을 통해서 확산해 들어가서, 폴리실리콘 플러그와 스토리지 전극의 계면에서 폴리실리콘 산화를 유발하는 것을 방지하기 위한 것이다. 베리어메탈(130)은  $TiN$ ,  $TaN$ ,  $TiSiN$ ,  $TaSiN$ ,  $TaAlN$  및 이를 조합한 물질 중에서 선택된 하나로 형성하며, 증착 방법으로는 PVD(Physical Vapor Deposition) 또는 CVD 증착방법에 의한다.

그 후 컨케이브 커패시터(concave capacitor)의 스토리지노드(storage node)를 형성하기 위하여 제2 층간절연막(150)을 형성한다. 제2 층간절연막(150)은 식각저지층(etch stopper, 135), 산화막(140), 반사방지막(145)으로 이루어진다. 식각저지층(etch stopper, 135)로서 SiON을 증착하고, 상기 식각저지층(etch stopper)위로 산화막(140), 반사방지막(145)을 증착한 후, 포토마스크 및 식각공정을 진행하여 스토리지노드 홀(155)을 형성한다.

도 2는 하부전극이 형성될 도전층(160)을 증착한 후의 단면도이다. 하부전극이 형성될 도전층을 CVD로 증착하며, 도전층은 Ru, Pt, Ir, Os, W, Mo, Co, Ni, Au, Ag으로 이루어지는 군에서 선택되는 적어도 하나의 물질로 이루어지며, 두께는 50Å 내지 500Å의 두께로 기판온도는 200°C 내지 500°C의 범위에서 증착한다.

도 3은 하부전극 도전층(160)을 스토리지노드 분리(storage node separation)하여 하부전극 패턴(160a)을 형성한 다음 ALD-BST 박막(165)을 형성한 후의 단면도이다.

스토리지노드 분리를 위해서는 상기 하부전극 도전층이 증착된 결과를 상에 상기 스토리지노드 홀(155)의 내부를 완전히 채우기 위하여 충분한 두께를 가지는 희생층을 형성한다. 상기 희생층은 포토레지스트막 또는 산화막으로 이루어질 수 있다. 이어서 층간절연막의 상면이 노출될 때까지 하부전극의 일부 및 희생층의 일부를 에치백 또는 CMP 방법에 의하여 제거함으로써, 하부전극막을 복수의 하부전극으로 분리시킨다. 이 때, 상기 스토리지노드 홀 내에서 상기 하부전극 위에는 상기 희생층의 나머지 일부가 남아있게 된다. 상기 희생층의 나머지 일부를 애싱(ashing) 또는 습식 식각에 의하여 제거한다. 상기 희생층이 포토레지스트막으로 이루어진 경우에는 상기 희생층의 나머지 일부를 애싱에 의하여 제거하고, 상기 희생층이 산화막으로 이루어진 경우에는 상기 희생층의 일부를 습식 식각 방법에 의하여 제거한다.

다음으로 ALD 증착방법에 의하여 얇은 두께의 BST 박막(165)을 저온에서 증착한 후, 플라즈마 열처리를 행한다. ALD-BST 증착을 위한 1 사이클(cycle)은 상술한 바와 같이 다음과 같은 순서를 따른다. (Ba+Sr) 혼합 소오스 플로우(cocktail source flow)→ N<sub>2</sub> (또는 Ar) 퍼지 → H<sub>2</sub>O 기체 플로우(H<sub>2</sub>O vapor flow)→ N<sub>2</sub> (또는 Ar) 퍼지 → Ti 플로우(flow) → N<sub>2</sub> (또는 Ar) 퍼지 → H<sub>2</sub>O 기체 플로우(H<sub>2</sub>O vapor flow)→ N<sub>2</sub> (또는 Ar) 퍼지이다. 이 때 사용되는 (Ba+Sr) 혼합 소오스(cocktail source)는 Ba(metmhd)2[Methoxy Ethoxy Tetramethyl Heptane Dionato Barium]와 Sr(metmhd)2[Methoxy Ethoxy Tetramethyl Heptane Dionato Strontium]를 메탄올(metanol)에 녹인 상태이며, Ti 소오스는 Ti 알콕사이드(alkoxide) 계로 Ti(mpd)(tmhd)2[Methoxy Pentane Dioxy Tetramethyl Heptane Dionato Titanate]를 기본적으로 사용한다. 또한 증착온도는 Ti 전구체(precursor)의 비등점(boiling point)을 고려하여 150°C 내지 300°C 범위에서 증착하며, 사이클(cycle) 수는 20 내지 100 사이클을 사용하여 두께를 20Å 내지 100Å 두께로 조절한다. 각 소오스 및 H<sub>2</sub>O 그리고 퍼지 가스(purge gas)는 20 내지 80 sccm의 플로우(flow rate)로 조절하며, (Ba+Sr) 혼합 소오스(cocktail source)의 전달시간(delivery time)은 0.1초 내지 1.0초, 퍼지 가스(purge gas)는 1초 내지 5초, H<sub>2</sub>O 기체(vapor)는 0.1초 내지 1.0초의 범위에서 조절하며, Ti는 타겟(target) 조성에 따라 0.1초 내지 1.0초 범위에서 플로우(flow) 한다. 또한 ALD-CVD의 결정성을 증가시키기 위하여 인스튜(in-situ) 또는 엑스스튜(ex-situ) 방법으로 N<sub>2</sub>O, N<sub>2</sub> 또는 O<sub>2</sub> 분위기에서 플라즈마 열처리(plasma treatment)를 하는데, 기판온도 300°C 내지 400°C, 전력(power)는 100W 내지 1kW 의 범위에서 30초 내지 180초간 진행한다.

도 4는 CVD-BST 박막(170)을 형성한 후의 단면도이다. CVD-BST(170)박막 증착은 기판온도 400°C 내지 600°C의 범위에서 증착하며 두께는 50Å 내지 200Å로 한다. 시드층(seed layer)가 형성된 ALD-BST(165) 위에 CVD-BST(170) 박막을 증착 한 후에는 유전체의 결정화를 위하여 열처리한다. 열처리는 RTN(Rapid Thermal Nitridation) 방법에 의하는데, N<sub>2</sub> 또는 N<sub>2</sub>O<sub>2</sub> 분위기에서 30초 내지 180초의 범위, 500°C 내지 700°C 의범위에서 열처리를 행한다.

도 5는 상부전극(175)을 증착한 후의 단면도이다. 상부전극은 Ru, Pt, Ir, Os, W, Mo, Co, Ni, Au, Ag으로 이루어지는 군에서 선택되는 적어도 하나의 물질로 이루어지며, CVD에 의하여 증착한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

#### 발명의 효과

상기와 같이 이루어진 본 발명은, 높은 애스펙트비(high aspect ratio)를 가지는 고집적 DRAM의 BST 커패시터에서 스토리지노드(storage node)의 깊은 골에서 ALD-BST를 CVD-BST의 시드층(seed layer)로 사용하는 이중 증착공정(double deposition) 기술로서 스텝커버리지가 우수할 뿐만 아니라 조성이 균일하며 결정성이 향상된 효과가 있다.

또한 저온 증착이므로 궁극적으로 누설전류가 적은 신뢰성 높은 BST 커패시터를 제조할 수있다.

## (57) 청구의 범위

**청구항 1.** 메모리 소자의 제조방법에 있어서,

반도체 기판 상에 콘택홀을 가지는 제1 층간절연막을 형성하는 단계;

상기 콘택홀을 도전막으로 채워서 상기 반도체 기판과 연결되는 콘택플러그를 형성하는 단계;

상기 콘택플러그를 포함하여 상기 제1 층간절연막 상에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막의 선택 식각에 의해 상기 콘택플러그를 노출시켜 하부전극이 형성될 스토리지노드 홀을 형성하는 단계;

상기 스토리지노드 홀의 상면에 하부전극 패턴을 형성하는 단계;

상기 하부전극 패턴 위로 ALD-BST와 CVD-BST를 순차적으로 증착하여 유전체막을 형성하는 단계; 및

상기 유전체막 위로 상부전극을 증착하는 단계

를 포함하는 메모리 소자의 제조방법.

**청구항 2.** 제 1 항에 있어서,

상기 제1 층간절연막은 산화물 및 질화막으로 형성된 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 3.** 제 2 항에 있어서,

상기 질화막은 300 Å 내지 1000 Å으로 이루어진 것을 특징으로 하는 메모리소자의 제조방법.

**청구항 4.** 제 1 항에 있어서,

상기 콘택플러그를 형성하는 단계는

상기 제1 층간절연막을 선택적으로 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀 내부를 폴리실리콘으로 증착한 후 에치백(etch back) 공정에 의하여 플러그 리세스(plug recess)를 시키는 단계;

상기 리세스된 폴리실리콘 위로 실리사이드 및 베리어메탈로 메워서 플러그를 형성한 후 평탄화하는 단계를 포함하여 이루어진 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 5.** 제 4 항에 있어서,

상기 폴리실리콘막은 화학기상증착법(CVD)으로 500 Å 내지 3000 Å 두께의 도핑된 폴리실리콘(doped polysilicon)막을 증착하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 6.** 제 4 항에 있어서,

상기 에치백(etch back) 공정에 의하여 플러그 리세스(plug recess)를 시키는 깊이를 500 Å 내지 1500 Å으로 하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 7.** 제 4 항에 있어서,

상기 실리사이드를 형성하기 위하여 Ti를 100 Å 내지 300 Å의 두께로 증착하고, RTP 방법에 의해 열처리하여 TiSi를 형성한 후, 미반응의 Ti를 습식으로 제거하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 8.** 제 4 항에 있어서,

상기 베리어메탈은 TiN, TiSiN, TaSiN, TaAlN 및 이를 조합한 물질 중에서 선택된 하나로 형성하며, 증착 방법으로는 PVD 또는 CVD 증착방법에 의하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 9.** 제 4 항에 있어서,

상기 제 4 단계 평탄화 공정에서, 베리어메탈을 CMP에 의해 평탄화 하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 10.** 제 1 항에 있어서,

상기 제2 층간절연막은 식각저지층, 산화막 및 반사방지층이 차례로 적층되어 형성된 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 11.** 제 10 항에 있어서,

상기 식각저지층은 SiON으로 증착하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 12.** 제 1 항에 있어서,

상기 하부전극 패턴을 형성하는 단계는

상기 스토리지노드 홈과 컨케이브 패턴의 상면을 덮는 도전층을 형성하는 단계;

상기 도전층 위에 상기 스토리지노드 홈의 내부를 완전히 채우기에 충분한 두께를 가지는 희생층을 형성하는 단계;

상기 컨케이브 패턴의 상면이 노출될 때까지 상기 컨케이브 패턴 위에 있는 상기 도전층의 일부 및 상기 희생층의 일부를 제거함으로써, 상기 도전층을 복수의 하부전극으로 분리시키는 단계;

상기 희생층의 나머지 일부를 제거하는 단계를 포함하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 13.** 제 12 항에 있어서,

상기 도전층은 CVD로 증착 하며, Ru, Pt, Ir, Os, W, Mo, Co, Ni, Au, Ag으로 이루어지는 군에서 선택되는 적어도 하나의 물질로 이루어지며, 두께는 50 Å 내지 500 Å로 기판온도 200°C 내지 500°C로 하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 14.** 제 12 항에 있어서,

상기 희생층은 포토레지스트막 또는 산화막으로 이루어지는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 15.** 제 14 항에 있어서,

상기 상기 희생층은 포토레지스트막으로 이루어지고, 하부전극 분리 후의 잔존하는 희생층의 일부는 애싱(ashing)에 의하여 제거 되는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 16.** 제 14 항에 있어서,

상기 희생층은 산화막으로 이루어지고, 하부전극 분리 후의 잔존하는 희생층의 일부는 습식식각 방법에 의하여 제거되는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 17.** 제 1 항에 있어서,

상기 ALD-BST 증착은 기판온도 150°C 내지 300°C 의 범위에서 두께는 20 Å 내지 100 Å로 증착하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 18.** 제 17 항에 있어서,

상기 ALD-BST 증착 후에는 플라즈마 열처리(plasma treatment)를  $N_2O$ ,  $H_2$  또는  $O_2$  를 사용하여 30초 내지 180초 범위에서 300°C 내지 400°C 의 기판온도에서 전력(power)은 100W 내지 1kW 의 범위에서 진행하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 19.** 제 1 항에 있어서,

상기 CVD-BST는 기판온도 400°C 내지 600°C 범위에서 50 Å 내지 200 Å 의 두께로 증착하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 20.** 제 19 항에 있어서,

상기 CVD-BST 증착 후에는 RTN를 행하며,  $N_2$  또는  $N_2O_2$  혼합가스 분위기에서 30초 내지 180초 범위, 500°C 내지 700°C 의 범위에서 열처리하는 것을 특징으로 하는 메모리 소자의 제조방법.

**청구항 21.** 제 1 항에 있어서,

상기 상부전극은 Ru, Pt, Ir, Os, W, Mo, Co, Ni, Au, Ag으로 이루어지는 군에서 선택된 적어도 하나의 물질로 이루어지며, 증착방법으로는 CVD 법으로 하는 것을 특징으로 하는 메모리 소자의 제조방법.

Fig. 1

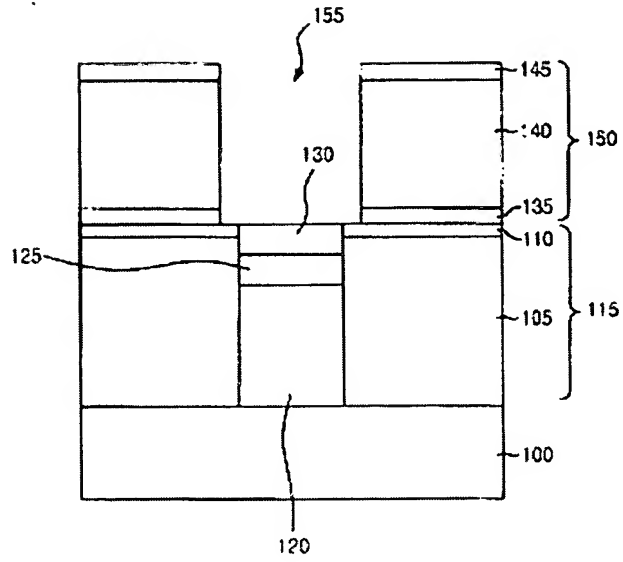
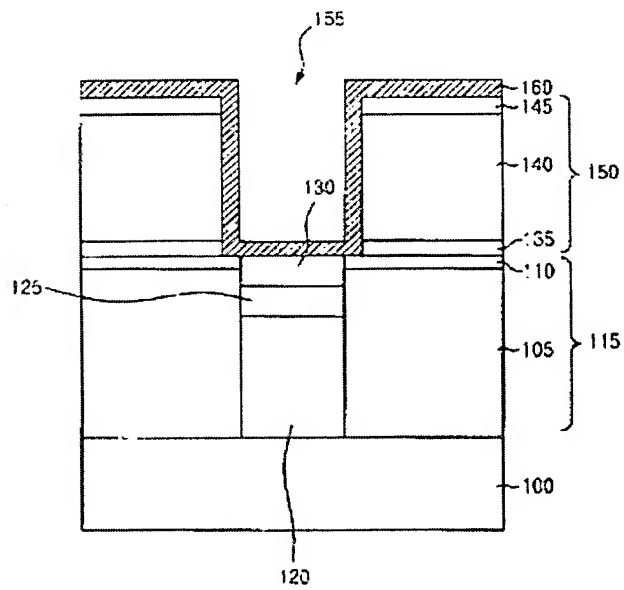
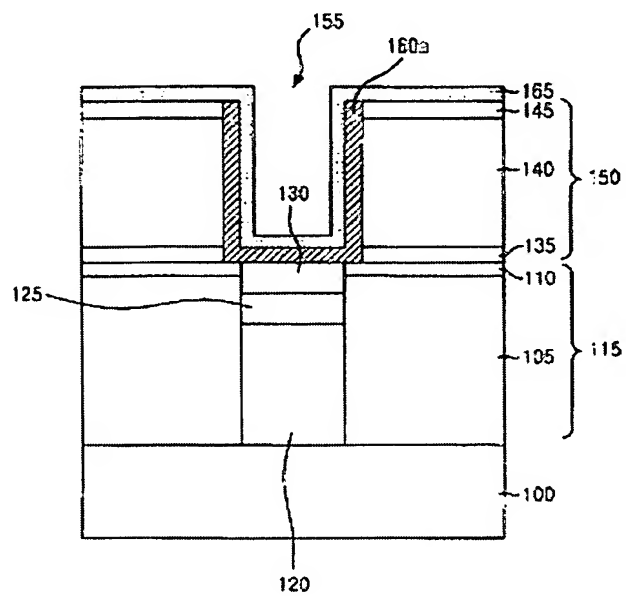


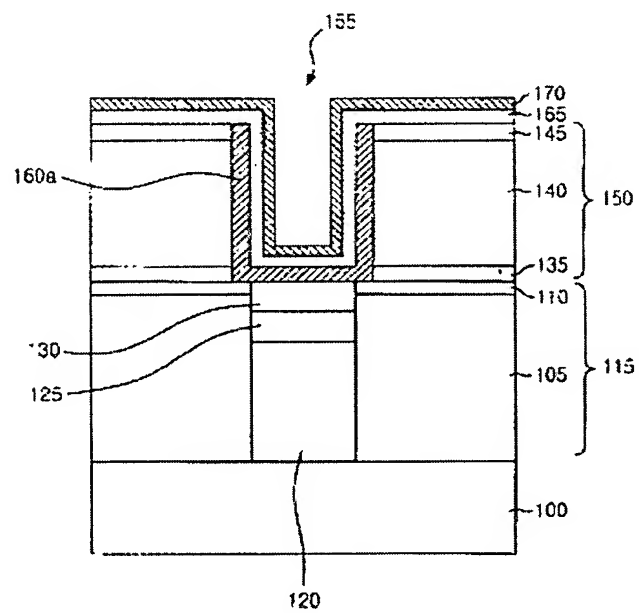
Fig. 2



553

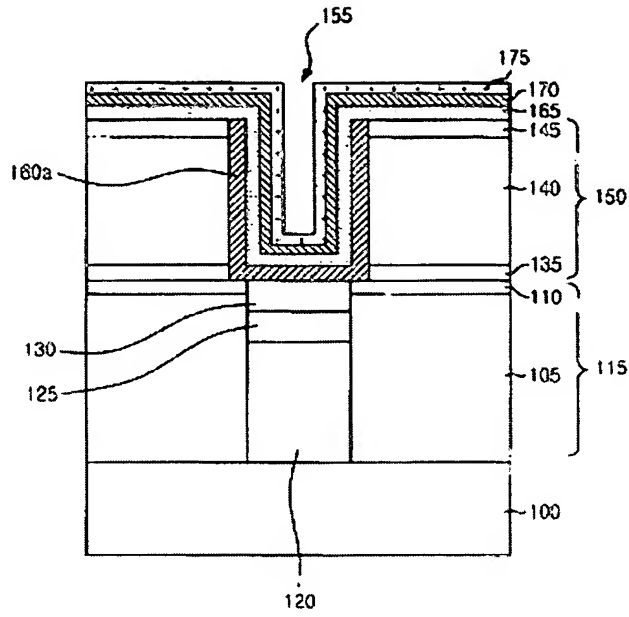


5





1100



1200

